

Requested Patent: JP4152535A
Title: SEMICONDUCTOR DEVICE ;
Abstracted Patent: JP4152535 ;
Publication Date: 1992-05-26 ;
Inventor(s): HONMA KAZUYA ;
Applicant(s): SANYO ELECTRIC CO LTD ;
Application Number: JP19900278823 19901016 ;
Priority Number(s): ;
IPC Classification: H01L21/336; H01L29/784 ;
Equivalents: ;

ABSTRACT:

PURPOSE: To provide a semiconductor device with high driving capacity and reduced gate fringe capacitance by forming a double-layer spacer composed of an inner high-permittivity film and an outer low-permittivity film to reduce drain field strength and increase the impurity concentration in an n layer.

CONSTITUTION: A semiconductor device comprises a substrate, which includes a gate insulator film 3 on a device region and a field oxide 2 on other regions. The device further comprises a gate electrode 4 on the gate insulator film 3, and spacers 8 are formed on sides of the gate electrode. The spacer is composed of an inner insulating layer 8a of high permittivity and an outer insulating layer 8b of low permittivity. For example, the inner spacer 8a is made of high-permittivity Ta₂O₅ and the outer spacer 8b is of low-permittivity SiO₂. Under the gate insulator film 3, an n layer 6 extends beyond the spacer from the border of the gate electrode 4, and an n layer 9 is adjacent outside the layer 6.

⑫ 公開特許公報(A) 平4-152535

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月26日

H 01 L 21/336

29/784

// H 01 L 27/108

8422-4M H 01 L 29/78

8422-4M

8624-4M // H 01 L 27/10

3 0 1 L

3 0 1 G

3 2 5 H

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平2-278823

⑰ 出 願 平2(1990)10月16日

⑱ 発 明 者 本 間 運 也

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

⑲ 出 願 人 三 洋 電 機 株 式 会 社

大阪府守口市京阪本通2丁目18番地

⑳ 代 理 人 弁 理 士 河 野 登 夫

明 細 書

1. 発明の名称 半導体装置

2. 特許請求の範囲

1. 半導体基板上的の素子形成領域以外の領域にフィールド絶縁膜を、素子形成領域にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲート電極を形成してその側部にスペーサを形成した半導体装置において、

前記スペーサが高誘電率の絶縁膜である内側層と低誘電率の絶縁膜である外側層との二層から構成されていることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特にMOS型電界効果トランジスタ(MOS FET)に関する。

〔従来の技術〕

MOS FETにおいてホットキャリアによるしきい値電圧の変動等の特性の変動を防止する構造が種々提案されている。その基本的な考え方はピンチ

オフ状態で生じるドレイン空乏層のピーク電界強度を緩和することにある。通常のMOS FETはドレインの不純物濃度が十分高く、ドレイン近傍の空乏層は、基板側へ伸びる片側アブラブト接合に近い状態である。そこでドレインの不純物濃度を低くして空乏層をドレイン側にも伸ばし、基板側で受け持つ電圧を小さくしてドレイン電界強度を弱める低濃度ドレイン構造が提案された。この低濃度ドレイン構造としてLDD (Lightly Doped Drain) 構造と呼ばれるものがある。

第3図はLDDトランジスタを示す断面構造図である。図中1はP形のシリコン基板である。シリコン基板1の上面の素子形成領域以外の領域には二酸化シリコン(SiO₂)からなるフィールド絶縁膜2、2が形成されており、素子形成領域には別工程でSiO₂からなるゲート絶縁膜3が形成されている。ゲート絶縁膜3の中央部の上側にはシリコン多結晶からなるゲート電極4が形成されており、ゲート電極4の上にはSiO₂からなる電極上部絶縁膜5が形成されている。そしてゲート電極4及び

電極上部絶縁膜5の側部には SiO_2 からなり、外縁が電極上部絶縁膜5上面からゲート絶縁膜3に至る円弧であるスペーサ8、8が形成されている。

ゲート絶縁膜3の下側には、ゲート電極4の夫々の側壁より少し内側からスペーサ8、8の外縁までの範囲に亘って、ヒ素(As)又はリン(P)を注入させた n^- 層6、6が形成されている。そして n^- 層6、6に隣接して、 As 又は P を注入させた n^+ 層9、9が形成されている。隣接した n^- 層6と n^+ 層9は、一方がソース、他方がドレインとして機能する。ところが上述のLDDトランジスタでは n^- 層6、6の不純物濃度が低い場合は寄生ドレイン抵抗が発生し、駆動能力が低下するという問題があった。従って n^- 層6、6の不純物濃度の低減については限度があった。そこで n^- 層6、6の不純物濃度をあまり低くせずドレイン電界強度を減少させる方法としてスペーサ8、8を高誘電率の絶縁膜から構成することが提案された(1990年春 応用物理学会予稿集 28p-28-5)。スペーサ8、8の誘電率が高くなると、

ゲートフリンジング電界強度が増大し、 n^- 層6、6のポテンシャルが変わってドレイン電界強度が減少する。従って従来のLDDトランジスタより n^- 層6、6の不純物濃度を高くすることができ、トランジスタの駆動能力を高くすることができる。(発明が解決しようとする課題)

上述した如くLDDのスペーサの誘電率を高くするとドレイン電界強度を減少させることができるが、反面、ゲートのフリンジング容量が大きくなってトランジスタの性能が悪くなる。例えばこのトランジスタをDRAM等を使用した場合、読み書き速度が遅くなるという問題があった。

本発明は斯かる事情に鑑みなされたものであり、スペーサを高誘電率の絶縁膜である内側層と低誘電率の絶縁膜である外側層との二層から構成することにより、ドレインの電界強度を減少させ、 n^- 層の不純物濃度を高くして駆動能力を高めると共に、ゲートのフリンジング容量を小さくして性能の優れた半導体装置を提供することを目的とする。(課題を解決するための手段)

本発明に係る半導体装置は、半導体基板上の素子形成領域以外の領域にフィールド絶縁膜を、素子形成領域にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲート電極を形成してその側部にスペーサを形成した半導体装置において、前記スペーサが高誘電率の絶縁膜である内側層と低誘電率の絶縁膜である外側層との二層から構成されていることを特徴とする。

(作用)

ドレイン電界はゲート電極に近い部分程、ゲート電極の影響を受ける。本発明においては、スペーサを高誘電率の絶縁膜である内側層と低誘電率の絶縁膜である外側層との二層から構成しているので、ゲート電極に近く、ゲートフリンジング電界が強い内側層の影響を受けて、ドレイン電界は弱くなる。その結果、 n^- 層の不純物濃度を高くして駆動能力を高めることができる。そして外側層はゲートフリンジング容量が小さいので半導体装置の性能が向上する。

(実施例)

以下、本発明をその実施例を示す図面に基づき具体的に説明する。

第1図は本発明に係るLDDトランジスタを示す断面構造図である。図中1はP形のシリコン基板である。シリコン基板1の上面の素子形成領域以外の領域には二酸化シリコン(SiO_2)からなるフィールド絶縁膜2、2が形成されており、素子形成領域には別工程で SiO_2 からなるゲート絶縁膜3が形成されている。ゲート絶縁膜3の中央部の上側にはシリコン多結晶からなるゲート電極4が形成されており、ゲート電極4の上には SiO_2 からなる電極上部絶縁膜5が形成されている。そしてゲート電極4及び電極上部絶縁膜5の側部には外縁が電極上部絶縁膜5上面からゲート絶縁膜3に至る円弧であるスペーサ8、8が形成されている。スペーサ8、8は高誘電率である例えば五酸化ニタンタル(Ta_2O_5)等からなる内スペーサ8a、8aと低誘電率である例えば SiO_2 等からなる外スペーサ8b、8bとの二層から構成されている。

ゲート絶縁膜3下側には、ゲート電極4の外縁

より少し内側からスペース8、8の外縁までの範囲に亘って、ヒ素(A₅)又はリン(P)を注入させたn⁺層6、6が形成されている。そしてn⁺層6、6に隣接してA₅又はPを注入させたn⁺層9、9が形成されている。隣接したn⁺層6とn⁺層9は一方がソース、他方がドレインとして機能する。

第2図は本発明に係るLDDトランジスタの製造過程を示す断面構造図である。

まず、P形のシリコン基板1上面の素子形成領域以外の領域に選択的にSiO₂からなるフィールド絶縁膜2、2を形成し、素子形成領域に直接酸化によりSiO₂からなるゲート絶縁膜3を形成する

(第2図(a))。次に、ゲート絶縁膜3の中央部の上側に化学気相成長法(CVD法)によりシリコン多結晶を成長させ、ゲート電極4を形成する。そしてゲート電極4の上にSiO₂を蒸着させて電極上部絶縁膜5を形成する。この電極上部絶縁膜5及びゲート電極4をマスクとしてゲート絶縁膜3の下側にイオン注入法によりn形不純物であるA₅、

又はPを注入してn⁺層6、6を形成する(第2図(b))。

その後、ゲート電極4の側部にCVD法により例えばTa₂O₅等を堆積せしめ、外縁を電極上部絶縁膜5上面の高さの略2分の1の位置からゲート絶縁膜3に至る円弧状にして内スペース8a、8aを形成し、所定位置以外に堆積したTa₂O₅膜をリアクティブイオンエッチング法(RIE法)により除去する(第2図(c))。

次に、内スペース8a、8aの外側に、CVD法により例えばSiO₂等を堆積せしめ、外縁を電極上部絶縁膜5上面からゲート絶縁膜3に至る円弧状にして外スペース8b、8bを形成し、所定位置以外に堆積したSiO₂膜をRIE法により除去する。そして外スペース8b、8bをマスクとしてゲート絶縁膜3の下側にイオン注入法によりA₅又はPを注入してn⁺層9、9を形成する(第2図(d))。

以上の如くにして本発明に係るLDDトランジスタを製造することができる。そしてこのLDDトランジスタをDRAMに使用した場合、読み書き速度が

速く、信頼性の高いDRAMを得ることができる。

なお、本発明の実施例においては半導体装置としてLDDトランジスタを適用した場合につき説明しているが、何らこれに限定されるものではなく、他の半導体装置に適用し得ることは言うまでもない。

(効果)

以上の如く本発明においては、スペースを高誘電率の絶縁膜である内側層と低誘電率の絶縁膜である外側層との二層から構成しているので、ドレイン電界強度が減少し、n⁺層の不純物濃度を高くして、寄生ドレイン抵抗の発生を防止し、半導体装置の駆動能力を高めることができる。また、ゲートのフリッジング容量が小さいので半導体装置の性能が向上する等、本発明は優れた効果を奏するものである。

4. 図面の簡単な説明

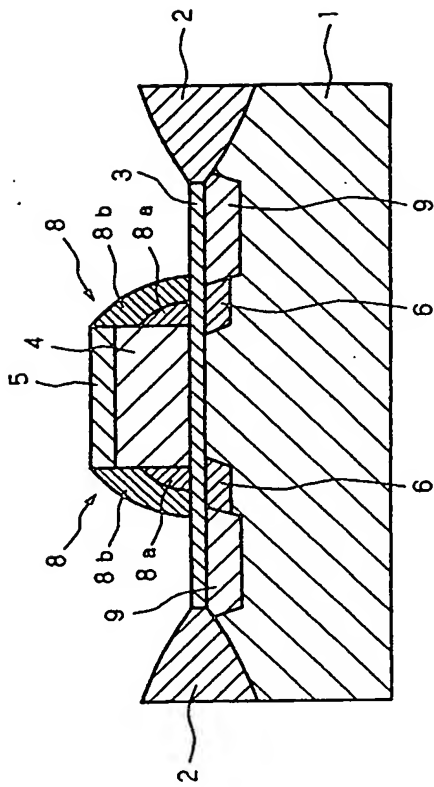
第1図は本発明に係るLDDトランジスタを示す断面構造図、第2図は本発明に係るLDDトランジスタの製造過程を示す断面構造図、第3図は従来

のLDDトランジスタを示す断面構造図である。

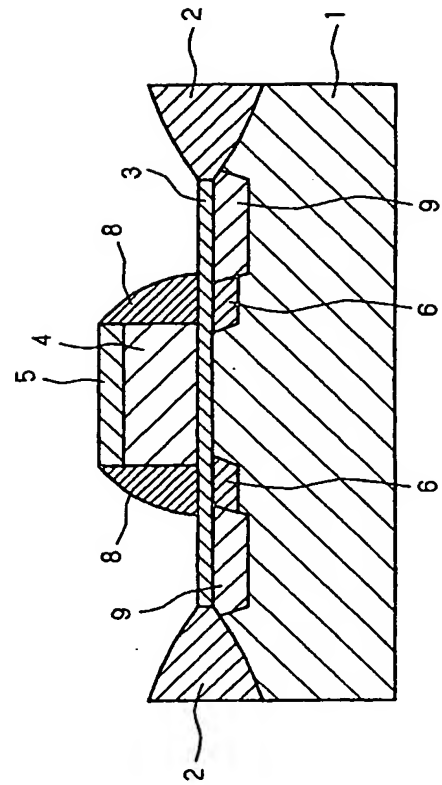
1…シリコン基板 2…フィールド絶縁膜
3…ゲート絶縁膜 4…ゲート電極 5…電極上部絶縁膜 6…n⁺層 8a…内スペース 8b…外スペース 9…n⁺層

特許出願人 三洋電機株式会社

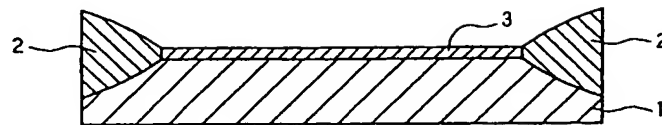
代理人 弁理士 河野 登夫



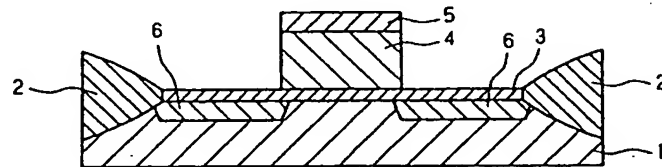
第 1 圖



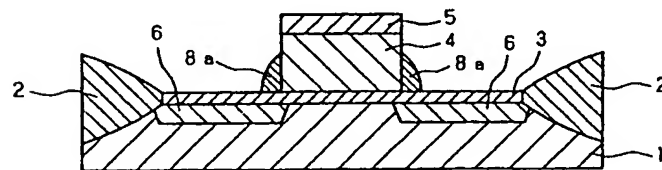
第 3 圖



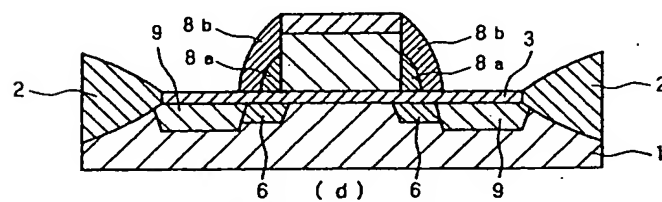
(a)



(b)



(c)



(d)

第 2 圖